

JP 00/3405 日 本 国 特 許 庁

JKV

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

REC'D 27 JUL 2000
WIPO PCT

出 願 年 月 日

Date of Application:

1999年 5月31日

出 願 番 号

Application Number:

平成11年特許願第151019号

出 願 人

Applicant (s):

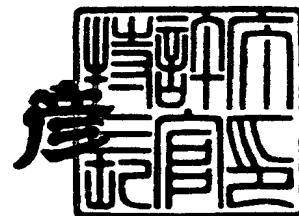
三菱電機株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3049096

特平 1 1 - 1 5 1 0 1 9

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送方式

【特許請求の範囲】

【請求項1】 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、

親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、

子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレス及び所定のトリガ信号に基づき生成する工程と、
を備えたデータ転送方式。

【請求項2】 トリガ信号に基づきアドレスを生成する際に、開始アドレスに対しトリガ信号のタイミングに応じてインクリメントし、アドレスを順次生成することを特徴とする請求項1に記載のデータ転送方式。

【請求項3】 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータリードを行うデータ転送方式において、

データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータリードに要する開始アドレスを通知する工程と、

上記開始アドレスが通知された上記データ伝送路をデータバスとして切替える工程と、

上記開始アドレスに基づきメモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、

上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、
を備えたデータ転送方式。

【請求項4】 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータライトを行うデータ転送方式に

において、

データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータライトに要する開始アドレスを通知する工程と、

上記開始アドレスが通知された上記データ伝送路をデータバスとして切換え、メモリにライトする所定データを送出する工程と、

上記開始アドレスに基づきメモリにアクセスし、上記所定データをメモリにライトする工程と、

上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、上記データ伝送路を介して送られる上記所定データをメモリに順次ライトする工程と、を備えたデータ転送方式。

【請求項 5】 データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせることを特徴とする請求項 1 乃至 4 何れかに記載のデータ転送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はデータ転送における制御信号間のスキューや反射といった連続データ転送を実行する際に誤動作の原因となる各種外乱に対して安全にデータ転送を実行することを考慮した親基板と子基板間のデータ転送に関するものである。

【0002】

【従来の技術】

まず、従来のデータ転送の構成について以下に説明する。

図 16 は、データ転送に関するシステム構成を示すシステム構成図である。図において、100 はデータ転送送信側の親基板、200 はデータ転送受信側の子基板、300 は親基板 100 と子基板 200 とを接続するデータ転送バスである。

なお、子基板 200 は、子基板 A 200 a、子基板 B 200 b・・・子基板 N 200 n の複数がデータ転送バスを介して親基板 100 と接続されている。

【0003】

図17は、従来の子基板の内部構成を示す図であり、同図において、201はデータ転送バス300のライトタイミング/リードタイミングを示すトリガ信号(TRG)、202はデータ転送バス300の転送中を示すFRAME、203はデータ転送バス300がライト動作を示すWRL、204はデータ転送バス300がリード動作を示すRDL、205はデータ転送バス300の下位2ビットを示す信号A1:0、206はデータ転送バス300に含まれアドレス信号をデータ信号を時分割で共有しアドレス15~2、データ15~0を示すマルチプレクスバスA15:2/D15:0、207はマルチプレクスバスをアドレスバスとデータバスに分解するセパレータ、208はデータ転送内容を記憶するメモリ、209はセパレータとメモリ間を接続するアドレスバスMA15:0、210はセパレータとメモリ間を接続するデータバスMD15:0、211はセパレータとメモリ間を接続するメモリ書き込み信号MWRL、212はセパレータとメモリ間を接続するメモリリード信号MRDLである。

【0004】

図18は、セパレータ207の内部処理を示すフローチャートである。セパレータ207はステップS201にて、自基板の転送有無を検出するため、FRAME 202=LかつA15:0=自アドレスが成立するまで待機する。ステップS201にて本条件が成立すると、データ転送が読み出しか書き込みかを判断するため、ステップS202にて、WRL=L、RDL=Lのどちらかを検出する。

ここでRDL=Lの時は読み出しを示し、WRL=Lの時は書き込みを示す。

【0005】

RDL=Lの時は、ステップS203に移行してリード処理を実施する。一方、WRL=Lの時は、ステップS204に移行してライト処理を実行する。リード処理(ステップS204)またはライト処理(ステップS205)を完了したら、転送完了処理を実行し一連の転送処理を完了する。

【0006】

次にリード処理(ステップS203)について、図19、図20、図21を用

いて説明する。

図 19 は、リード処理における各信号の時系列な動作を示すタイミングチャートである。

図 20 は、従来の親基板のリード処理の一連の流れを示したフローチャートである。

図 21 は、従来の子基板のセパレータ部のリード処理の一連の流れを示したフローチャートである。

【0007】

親基板は、T41 期間の TRG201 立上がりにおいて、ステップ S211 によりデータ転送の転送中を意味する FRAME202 を L にアサイン、読み出し転送を意味する RDL を L にアサイン、信号 A1:0 (205) に転送開始アドレスの下位 2 ビットをアサイン、マルチプレクスバス A15:2/D15:0 (206) に上位アドレスをアサインする。

一方、子基板は T21 期間の TRG201 立下がりにおいて、ステップ S201 処理により自アドレスの転送開始を検出する。

T42 期間では親基板はステップ S212、を実行し、マルチプレクスバス A15:2/D15:0 (206) の出力方向を切り替えるため出力を停止すると共にステップ S213 にてマルチプレクスバス A15:2/D15:0 (206) を転送方向を出力から入力に切り替える。

本期間をマルチプレクスバス A15:2/D15:0 (206) の転送方向切替え期間として使用する。

【0008】

子基板は T42 期間の TRG201 立下がり、ステップ S231 により A15:2/D15:0 (206) の転送方向切替え期間として解釈し、マルチプレクスバス A15:2/D15:0 (206) を入力から出力方向に切り替えアドレスサイクルからデータリードサイクルに切替える。

【0009】

子基板は、T43 期間の TRG201 立上がりにおいて、ステップ S232 を実行し転送中であることを確認後、ステップ S233 を実行し MA15:0 (2

09) にT42期間で親基板から与えられて、アドレスA15:2/D15:0(206)とA1:0(205)を合成したアドレスを出力し、ステップS234によりMRDL212を制御してメモリリードを実行する。

その後、ステップS235によりAD17:2/D15:0にデータ1を出力する。

【0010】

親基板は、T43期間のTRG201立下がりにおいて、ステップS214を実行しデータ1を読み出す。

そして、T44期間のTRG201立上がりにおいて、親基板はステップS215を実行し、下位アドレスA1:0(205)に次アドレスを出力する。

一方、子基板ではT23期間と同様にステップS232～S235までの一連の処理を実行し、データ2を出力する。

【0011】

親基板は、T44期間のTRG201立下がり、ステップS216を実行しデータ2を読み出す。

そして、T45期間のTRG201立上がりにおいて、親基板はステップS217を実行し下位アドレスA1:0(205)に次アドレスを出力する。

一方、子基板ではT43期間と同様にステップS232～S235までの一連の処理を実行しデータ3を出力する。

【0012】

親基板は、T45期間のTRG201立下がり、ステップS218を実行しデータ3を読み出す。

そしてT46期間のTRG201立上がりにおいて、親基板はステップS219を実行し下位アドレスA1:0(205)に次アドレスを出力する。

一方、子基板ではT43期間と同様にステップS232～S235までの一連の処理を実行しデータ4を出力する。

【0013】

親基板は、T46期間のTRG201立下がり、ステップS220を実行データ4を読み出し、FRAME202=Hを出力してデータ転送の終了を明示す

る。

子基板は、ステップS232により転送完了を検出しリード処理を完了する。

【0014】

次にライト処理（ステップS204）について、図22、図23、図24を用いて説明する。

図22は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

図23は、親基板のライト処理の一連の流れを示したフローチャートである。

図24は、子基板のセパレータ部のライト処理の一連の流れを示したフローチャートである。

【0015】

親基板は、T51期間のTRG201立上がりにおいて、ステップS214により転送中を意味するFRAME202をLにアサイン、書き込み転送を意味するWRLをLにアサイン、A1:0(205)に転送開始アドレスの下位2ビットをアサイン、A15:2/D15:0(206)に上位アドレスをアサインする。

一方、子基板はT51期間のTRG201立下がりにおいて、ステップS201処理により自アドレスの転送開始を検出する。

【0016】

親基板は、T52期間ではステップS242を実行し、A15:2/D15:0(206)に書き込みデータ1を出力する。

一方、子基板は、T52期間のTRG201立下がりステップS261を実行し、転送中であることを確認後、ステップS262を実行してMA15:0(209)にA15:2/D15:0(206)とA1:0(205)を合成したアドレスをA15:0に出力する。

そして、ステップS263により、AD17:2/D15:0上のデータを取り込み、ステップS264によりMWRL211を制御してメモリライトを実行する。

【0017】

親基板は、T53期間のTRG201立上がりにおいて、ステップS243を実行し、下位アドレスA1:0(205)に次アドレスを出力し、ステップS244を実行してAD17:2/D15:0上にデータ2を出力する。

一方、子基板では、T52期間と同様にステップS261～S264までの一連の処理を実行しデータ2をメモリへ書き込む。

【0018】

親基板は、T54期間のTRG201立上がりにおいて、ステップS245を実行し下位アドレスA1:0(205)に次アドレスを出力し、ステップS246を実行してAD17:2/D15:0上にデータ3を出力する。

一方、子基板では、T52期間と同様にステップS261～S264までの一連の処理を実行しデータ3をメモリへ書き込む。

【0019】

親基板は、T55期間のTRG201立上がりにおいて、ステップS247を実行し下位アドレスA1:0(205)に次アドレスを出力し、ステップS248を実行してAD17:2/D15:0上にデータ4を出力する。

一方、子基板では、T52期間と同様にステップS261～S264までの一連の処理を実行しデータ4をメモリへ書き込む。

【0020】

親基板は、T55期間のTRG201立下がり、ステップS251を実行しFRAME202=Hを出力してデータ転送の終了を明示する。

子基板はステップS261により転送完了を検出しライト処理を完了する。

【0021】

【発明が解決しようとする課題】

上記のような従来のデータ転送では、連続転送のデータ数が下位アドレスの信号線の数で決定してしまうとともに、より多くの連続転送を実現するためには下位アドレス信号線を追加する必要があり信号線数が増えてしまうのでコスト、部品実装ともに増加傾向になるという問題点があった。

【0022】

本発明は、かかる問題点を解決するためになされたもので、少ない信号線で安

定して膨大な連続転送を提供することを目的としている。

【0023】

【課題を解決するための手段】

本発明に係るデータ転送方式は、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレス及び所定のトリガ信号に基づき生成する工程と、を備えた。

【0024】

また、トリガ信号に基づきアドレスを生成する際に、開始アドレスに対しトリガ信号のタイミングに応じてインクリメントし、アドレスを順次生成するものである。

【0025】

また、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータリードを行うデータ転送方式において、データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータリードに要する開始アドレスを通知する工程と、上記開始アドレスが通知された上記データ伝送路をデータバスとして切替える工程と、上記開始アドレスに基づきメモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、を備えたものである。

【0026】

また、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータライトを行うデータ転送方式において、データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータライトに要する開始アドレスを通知する工程と、上記開始アドレスが通知された上記データ伝送路をデータバスとして切替え、メモリにライトする所定データ

を送出する工程と、上記開始アドレスに基づきメモリにアクセスし、上記所定データをメモリにライトする工程と、上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、上記データ伝送路を介して送出される上記所定データをメモリに順次ライトする工程と、を備えたものである。

【0027】

さらに、データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせるものである。

【0028】

【発明の実施の形態】

実施の形態1.

まず、実施の形態1の構成について以下に説明する。

図1は、データ転送に関するシステム構成を示すシステム構成図である。

図において、1はデータ転送送信側の親基板、2はデータ転送受信側の子基板、3は親基板1と子基板2とを接続するデータ転送バスである。

なお、子基板2は、子基板A2a、子基板B2b・・・子基板N2nの複数がデータ転送バスを介して親基板1と接続されている。

【0029】

図2は、本実施形態における子基板の内部構成を示す図である。

図において、21はデータ転送バス3のライトタイミング/リードタイミングを示すTRG、22はデータ転送バス3の転送中を示すFRAME、23データ転送バス3がライト動作を示すWRL、24はデータ転送バス3がリード動作を示すRDL、25はアドレス信号とデータ信号を時分割で共有するマルチプレクスバスA15:0/D15:0、26は本実施形態1を実現するセパレータ、27はデータ転送内容を記憶するメモリ、28はセパレータとメモリ間を接続するアドレスバスMA15:0、29はセパレータとメモリ間を接続するデータバスMD15:0、30はセパレータとメモリ間を接続するメモリ書き込み信号MWRL、31はセパレータとメモリ間を接続するメモリリード信号MRDLである。

【0030】

セパレータ 26 は、自基板の転送有無を検出するため、FRAME 22=L かつ A15:0=自アドレスが成立するまで待機し、本条件が成立すると、データ転送が読み出しか書き込みかを判断するため、WRL=L（書き込み）、RDL=L（読み出し）のどちらかを検出する。

RDL=L の時はリード処理を実施し、WRL=L の時はライト処理を実行する。

そして、リード処理またはライト処理を完了したら、転送完了処理を実行し一連の転送処理を完了する。

【0031】

次に、リード処理に関して図3、図4、図5により説明する。

図3は、本実施の形態でのリード処理における各信号の時系列な動作を示すタイミングチャートである。

図4は、本実施の形態での親基板のリード処理の流れを示したフローチャートである。

図5は、本実施の形態での子基板のリード処理の一連の流れを示したフローチャートである。

【0032】

親基板は、T1 期間にてステップ S1 により、転送中を意味する FRAME 22 を L にアサイン、読み出し転送を意味する RDL 24 を L にアサイン、マルチプレクスバス A15:0/D15:0 (25) に転送開始アドレスをアサインする。

そして、ステップ S2 にて、前述各信号を出力した親基板は TRG 21 を立ち下げる。

一方、子基板は、T1 期間の TRG 21 立下り時点で、ステップ S31 により MA15:0 に転送開始アドレスがアサインされたマルチプレクスバス A15:0/D15:0 (25) の内容を転送、保持しメモリのアドレスを確定する。

その後、親基板はステップ S3 により TRG 21 を立ち上げる。

【0033】

T2期間では、親基板においてステップS4にて出力方向を切り替えるためアドレス出力を停止し、その後ステップS5で転送方向を出力から入力に切り替える、ステップS6にてTRG21立ち下げる。そして、ステップS7にてTRG21を立ちあげる

子基板においては、TRG21立下がり、ステップS32によりマルチプレクスバスA15:0/D15:0(25)の転送方向切替え期間として解釈し、マルチプレクスバスA15:0/D15:0(25)を入力から出力方向に切り替えアドレスサイクルからデータリードサイクルに切替える。

【0034】

T3期間で親基板は、リードデータを子基板に要求するため、ステップS8によりTRG21を立ち下げると、子基板はステップS33を実行し、転送中であることを確認すると共に、ステップS34でTRG21の立下がりを検出する。TRG21を検出した子基板は、ステップS35により、メモリに親基板から指定された開始アドレスを出力し、ステップS36でMRDL31を操作してメモリリードを実行しする。

その後、ステップS37によりA15:0/D15:0(25)にデータ1を出力する。

【0035】

親基板は、読み出しタイミングを子基板に知らせるため、ステップS9にてTRG21を立ち上げると同時に、ステップS10を実行し、A15:0/D15:0(25)のデータ1を取り込みリード処理を実行する。

子基板は、TRG21の立上がりにより(ステップS38)、ステップS39を実行し、A15:0/D15:0(25)への出力停止し、その後、ステップS40により次転送用アドレスの準備を実行する。

【0036】

T4期間で親基板は、ステップS11を実施し、TRG21を立ち下げる。子基板は、ステップS33を実行し転送中であることを確認すると共に、ステップS34でTRG21の立下がりを検出する。TRG21を検出した子基板は、ステップS35によりメモリに親基板から指定

された開始アドレスと、ステップS40で準備した次転送アドレスの加算結果を出力して、ステップS36に移行する。

ステップS36では、メモリリードを実行し、ステップS37によりA15:0/D15:0(25)にデータ2を出力する。

【0037】

親基板はステップS12によりTRG21を立ち上げると同時に、ステップS13を実行し、A15:0/D15:0(25)のデータ2を取り込みリード処理を実行する。

子基板は、TRG21の立上がりにより、ステップS39を実行し、A15:0/D15:0(25)への出力停止し、ステップS40により次転送用アドレスの準備を実行する。

【0038】

T5期間で親基板は、子基板にデータ3を要求するため、ステップS14によりTRG21を立ち下げる。

子基板は、ステップS33を実行し、転送中であることを確認すると共に、ステップS34でTRG21の立下がりを検出する。

TRG21を検出した子基板は、ステップS35によりメモリに親基板から指定された開始アドレスと、ステップS40で準備した次転送アドレスの加算結果を出力し、ステップS36でメモリリードを実行し、ステップS37によりA15:0/D15:0(25)にデータ3を出力する。

【0039】

親基板は、ステップS15によりTRG21を立ち上げると同時に、ステップS16を実行し、A15:0/D15:0(25)のデータ3を取り込みリード処理を実行する。

子基板は、TRG21の立上がりにより、ステップS39を実行し、A15:0/D15:0(25)への出力停止し、ステップS40により次転送用アドレスの準備を実行する。

【0040】

T6期間で親基板は、子基板にデータ4を要求するため、ステップS17によ

りTRG21を立ち下げる。

子基板は、ステップS33を実行し転送中であることを確認すると共に、ステップS34でTRG21の立下がりを検出する。

TRG21を検出した子基板は、ステップS35によりメモリに親基板から指定された開始アドレスと、ステップS40で準備した次転送アドレスの加算結果を出力し、ステップS36に移行する。ステップS36では、メモリリードを実行し、ステップS37によりA15:0/D15:0(25)にデータ4を出力する。

【0041】

親基板は、ステップS18によりTRG21を立ち上げると同時に、ステップS19を実行し、A15:0/D15:0(25)のデータ4を取り込みリード処理を実行する。

子基板は、TRG21の立上がりにより、ステップS39を実行し、A15:0/D15:0(25)への出力停止し、ステップS40により次転送用アドレスの準備を実行する。

【0042】

親基板は、転送終了を指示するため、ステップS22を実行しFRAME22とRDL24をHにアサインする。

子基板は、ステップS33でFRAME22=Hを検出し、リード処理を完了する。

【0043】

次にライト処理について図6、図7、図8を用いて説明する。

図6は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

図7は、親基板のライト処理の一連の流れを示したフローチャートである。

図8は、子基板のライト処理の一連の流れを示したフローチャートである。

【0044】

T11期間で親基板は、ステップS41により転送中を意味するFRAME22をLにアサイン、書き込み転送を意味するWRL23をLにアサイン、マルチ

プレクスバスA15:0/D15:0(25)に開始アドレスをアサインする。
そして、ステップS42にて、前述各信号を出力した親基板はTRG21を立ち下げる。

一方、子基板は、T11期間のTRG21立下り時点で、ステップS61によりMA15:0に転送開始アドレスがアサインされたマルチプレクスバスA15:0/D15:0(25)の内容を転送、保持しメモリのアドレスを確定する。

その後、親基板はステップS43によりTRG21を立ち上げる。

【0045】

T12期間で親基板は、ステップS44を実行しライトデータ1をマルチプレクスバスA15:0/D15:0(25)に出力する。

そして、親基板は子基板にデータの送出手を知らせるため、ステップS45によりTRG21を立ち下げる。

この時点で子基板は、ステップS62により転送中であることを確認するとともに、ステップS63によりTRG21が立ち下がったことを検出する。

そして、ステップS64によりメモリにMA15:0(28)経由で親基板の要求アドレスを出力する。

親基板は子基板にデータの取り込みを知らせるため、ステップS46によりTRG21を立ち上げ、子基板に対するデータ1のライトを要求する。

子基板ではTRG21の立上りをステップS65で検出し、ステップS66を実行し、ライトデータ1をMD15:0(29)に出力し、ステップS67によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップS68を実行しステップS62へ戻る。

【0046】

T13期間で親基板はステップS47を実行し、ライトデータ2をマルチプレクスバスA15:0/D15:0(25)に出力する。

親基板は子基板にデータの送出手を知らせるため、ステップS48によりTRG21を立ち下げる。

この時点で子基板はステップS62、S63によりTRG21が立ち下がったこ

とを検出し、ステップS64によりメモリにMA15:0(28)経由で親基板の要求アドレスとステップS68で準備した次アドレスとの加算値を出力する。親基板は子基板にデータの取り込みを知らせるためステップS49によりTRG21を立ち上げ、子基板に対するデータ2のライトを要求する。

子基板ではTRG21の立上りをステップS65で検出し、ステップS66を実行しライトデータ2をMD15:0(29)に出力し、ステップS67によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップS68を実行してステップS62へ戻る。

【0047】

T14期間で親基板はステップS50を実行し、ライトデータ3をマルチプレクスバスA15:0/D15:0(25)に出力する。

親基板は子基板にデータの送出手を知らせるため、ステップS51によりTRG21を立ち下げる。

この時点で子基板はステップS62、S63によりTRG21が立ち下がったことを検出し、ステップS64によりメモリにMA15:0(28)経由で親基板の要求アドレスとステップS68で準備した次アドレスとの加算値を出力する。親基板は子基板にデータの取り込みを知らせるためステップS52によりTRG21を立ち上げ、子基板に対するデータ3のライトを要求する。

子基板ではTRG21の立上りをステップS65で検出し、ステップS66を実行しライトデータ3をMD15:0(29)に出力し、ステップS67によりメモリにライトを実行する。

その後、次アドレスの準備をするため、ステップS68を実行してステップS62へ戻る。

【0048】

T15期間で親基板はステップS53を実行し、ライトデータ4をマルチプレクスバスA15:0/D15:0(25)に出力する。

親基板は子基板にデータの送出手を知らせるため、ステップS54によりTRG21を立ち下げる。

この時点で子基板はステップ S 6 2、S 6 3 により TRG 2 1 が立ち下がったことを検出し、ステップ S 6 4 によりメモリに MA 1 5 : 0 (2 8) 経由で親基板の要求アドレスとステップ S 6 8 で準備した次アドレスとの加算値を出力する。親基板は子基板にデータの取り込みを知らせるため、ステップ S 5 4 により TRG 2 1 を立ち上げ、子基板に対するデータ 4 のライトを要求する。

子基板では TRG 2 1 の立上りをステップ S 6 5 で検出し、ステップ S 6 6 を実行しライトデータ 4 を MD 1 5 : 0 (2 9) に出力し、ステップ S 6 7 によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップ S 6 8 を実行してステップ S 6 2 へ戻る。

【 0 0 4 9 】

親基板は TRG 2 1 立ち上げ後、ステップ S 5 6 によりデータ出力を停止し、ステップ S 5 7 により FRAME 2 2 と WRL 2 3 を H にし、ライト転送の完了をする。

子基板ではステップ S 6 2 でライト転送の完了を検出しライト処理を完了する。

【 0 0 5 0 】

この実施の形態 1 では、TRG 2 1 の立下がりエッジを使用して子基板のセパレータ 2 6 で MA 1 5 : 0 (2 8) を生成する。

そのため、下位アドレスの削減を実現しかつ少ない信号線で大量の連続転送が実現できる効果を奏する。

また、従来、あれレス信号の送出に使用していたバスの部分を削減でき、回路実装が簡略ができ、製造コスト、バス基板の小型軽量化が図る事ができる。

つまり、本実施の形態によればデータ転送において信号線を減らしながらも安定した転送を実現できる。

【 0 0 5 1 】

実施の形態 2.

実施形態 2 のシステム構成は、図 1 従来システム構成と同一である。

図 9 は、実施の形態 2 の子基板の内部構成を示す図である。

図において、21はデータ転送バス3のライトタイミング/リードタイミングを示すトリガ信号 (TRG)、22はデータ転送バス3の転送中を示すFRAME、23データ転送バス3がライト動作を示すWRL、24はデータ転送バス3がリード動作を示すRDL、25はアドレス信号とデータ信号を時分割で共有するマルチプレクスバスA15:0/D15:0、26は本実施形態1を実現するセパレータ、27はデータ転送内容を記憶するメモリ、28はセパレータとメモリ間を接続するアドレスバスMA15:0、29はセパレータとメモリ間を接続するデータバスMD15:0、30はセパレータとメモリ間を接続するメモリ書き込み信号MWRL、31はセパレータとメモリ間を接続するメモリリード信号MRDL、32はトリガ毎にトグルするサイクル信号としてのPHASE信号である。

である。

【0052】

セパレータ26Aは、自基板の転送有無を検出するため、FRAME22=LかつA15:0=自アドレスが成立するまで待機し、本条件が成立すると、データ転送が読み出しか書き込みかを判断するため、WRL=L(書き込み)、RDL=L(読み出し)のどちらかを検出する。

RDL=Lの時はリード処理を実施し、WRL=Lの時はライト処理を実行する。

そして、リード処理またはライト処理を完了したら、転送完了処理を実行し一連の転送処理を完了する。

【0053】

次に、リード処理に関して図10、図11、図12により説明する。

図10は、本実施の形態でのリード処理における各信号の時系列な動作を示すタイミングチャートである。

図11は、本実施の形態での親基板のリード処理の流れを示したフローチャートである。

図12は、本実施の形態での子基板のセパレータのリード処理の一連の流れを示したフローチャートである。

【0054】

親基板は、T21期間にてステップS71により、転送中を意味するFRAME22をLにアサイン、読み出し転送を意味するRDL24をLにアサイン、マルチプレクスバスA15:0/D15:0(25)に転送開始アドレスをアサインする。

さらに一回目のTRG21を示すPHASE32をLにアサインする。

一方子基板はT21期間のTRG21立下り時点で、ステップS81によりMA15:0(28)にA15:0/D15:0(25)の内容を転送し、メモリのアドレスを確定する。

【0055】

T22期間では、親基板ではステップS72を実行してアドレスの出力を停止すると共に2回目のTRG21発生を示すためLからHへトグルする。

子基板では、ステップS82を実行し、AD15:0/D15:0の転送方向を切替える。

【0056】

T23期間では、親基板がPHASE32をトグルしTRG21を立ち下げる。子基板は、ステップS83を実行し、転送中であることを確認すると共に、ステップS84でPHASE32がトグルしたことを確認すると共にTRG21の立下がりを検出する。

本処理によりPHASE32がトグルしてTRG21が立ち下がるまで次の処理へは移行しない。

TRG21を検出した子基板は、ステップS85によりメモリに親基板から指定された開始アドレスを出力し、ステップS86でMRDL31を操作しメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ1を出力する。

親基板は、TRG21を立ち上げると同時に、ステップS74のA15:0/D15:0(25)のデータ1を取り込みリード処理を実行する。

子基板はPHASE32が自身の立下がり時から変わっていないこととTRG21の立上がりにより、ステップS89を実行しA15:0/D15:0(25)

)への出力停止し、ステップS90により次転送用アドレスの準備を実行する。ここでTRG21にノイズが重畳されTRG21が立ち下がってもPHASE32がトグルしていないので、子基板はステップS84を通過できず、次のデータを誤出力することはない。逆にPHASE32にノイズが重畳してもTRG21が立ち下がらなければ子基板は、ステップS84を処理しないのでノイズに対して次の動作を実行しない。

【0057】

T24期間で親基板は、PHASE32をトグルしTRG21を立ち下げる。子基板はステップS83を実行し、転送中であることを確認すると共に、ステップS84でPHASE32がトグルしたことを確認すると共にTRG21の立下がりを検出する。

TRG21を検出した子基板は、ステップS85によりメモリに親基板から指定された開始アドレスと、ステップS90で準備した次転送アドレスの加算結果を出力し、ステップS86でメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ2を出力する。

親基板はTRG21を立ち上げると同時にステップS75を実行し、A15:0/D15:0(25)のデータ2を取り込みリード処理を実行する。

子基板はPHASE32が自身の立下がり時から変わっていないこととTRG21の立上がりによりステップS89を実行しA15:0/D15:0(25)への出力停止し、ステップS90により次転送用アドレスの準備を実行する。

【0058】

T25期間で親基板は、PHASE32をトグルしTRG21を立ち下げる。子基板はステップS83を実行し、転送中であることを確認すると共に、ステップS84でPHASE32がトグルしたことを確認すると共にTRG21の立下がりを検出する。

TRG21を検出した子基板は、ステップS85によりメモリに親基板から指定された開始アドレスと、ステップS90で準備した次転送アドレスの加算結果を出力し、ステップS86でメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ3を出力する。

親基板はTRG21を立ち上げると同時にステップS76を実行し、A15:0/D15:0(25)のデータ3を取り込みリード処理を実行する。

子基板はPHASE32が自身の立下がり時から変わっていないこととTRG21の立上がりによりステップS89を実行しA15:0/D15:0(25)への出力停止し、ステップS90により次転送用アドレスの準備を実行する。

【0059】

T25期間で親基板は、PHASE32をトグルしTRG21を立ち下げる。子基板はステップS83を実行し、転送中であることを確認すると共に、ステップS84でPHASE32がトグルしたことを確認すると共にTRG21の立下がりを検出する。

TRG21を検出した子基板は、ステップS84によりメモリに親基板から指定された開始アドレスと、ステップS90で準備した次転送アドレスの加算結果を出力し、ステップS86でメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ4を出力する。

親基板はTRG21を立ち上げると同時にステップS77を実行しA15:0/D15:0(25)のデータ4を取り込みリード処理を実行する。

子基板はPHASE32が自身の立下がり時から変わっていないこととTRG21の立上がりによりステップS89を実行しA15:0/D15:0(25)への出力停止し、ステップS90により次転送用アドレスの準備を実行する。

【0060】

親基板は転送終了を指示するためステップS78を実行し、FRAME22とRDL24とPHASE32をHにアサインする。

子基板はステップS83でFRAME22=Hを検出し、リード処理を完了する。

【0061】

次にライト処理について図13、図14、図15を用いて説明する。

図13は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

図14は、親基板のライト処理の一連の流れを示したフローチャートである。

図15は、子基板のライト処理の流れを示したフローチャートである。

【0062】

T31期間で親基板は、ステップS91により転送中を意味するFRAME22をLにアサイン、書き込み転送を意味するWRL23をLにアサイン、マルチプレクスバスA15:0/D15:0(25)に開始アドレスをアサインする。さらに一回目のTRG21を示すPHASE32をLにアサインする。

一方、子基板はライト転送を検出し、ステップS101によりMA15:0に転送開始アドレスがアサインされたマルチプレクスバスA15:0/D15:0(25)の内容を転送、保持しメモリのアドレスを確定する。

【0063】

T32期間で親基板は、ステップS92を実行し、PHASE32をトグルするとともにライトデータ1をA15:0/D15:0(25)に出力する。そして、親基板は子基板にデータの送出手を知らせるため、引き続きTRG21を立ち下げる。

この時点で子基板は、ステップS102により転送中であることを確認するとともに、ステップS103によりPHASE32がトグルし、TRG21が立ち下がったことを検出し、ステップS104によりメモリにMA15:0(28)経由で親基板の要求アドレスを出力する。

【0064】

親基板は次にTRG21を立ち上げ、子基板に対するデータ1のライトを要求する。

子基板ではPHASE32がTRG21の立下がり時から変化していなくかつTRG21の立上りをステップS105で検出し、ステップS106を実行しライトデータ1をMD15:0に出力し、ステップS107によりMWRL30を操作しメモリにライトを実行する。

その後、次アドレスの準備をするためステップS108を実行し、ステップS102へ戻る。

【0065】

ここでTRG21にノイズが重畳されTRG21が立ち下がってもPHASE

32がトグルしていないので子基板は、ステップS103を通過できず次のアドレスに誤ってデータを書き込むことは無い。逆にPHASE32にノイズが重畳してもTRG21が立ち下がらなければ子基板は、ステップS103を処理しないので、子基板はステップS104以降の動作を実行しない。

【0066】

T33期間で親基板は、ステップS93を実行し、PHASE32をトグルするとともにライトデータ2をA15:0/D15:0(25)に出力する。

そして、親基板は子基板にデータの送出手を知らせるため、親基板は引き続きTRG21を立ち下げる。

この時点で子基板は、ステップS102により転送中であることを確認するとともに、ステップS103によりPHASE32がトグルしTRG21が立ち下がったことを検出し、ステップS104によりメモリにMA15:0(28)経由で親基板の要求アドレスとステップS108で準備した次アドレスとの加算値を出力する。

【0067】

親基板は次にTRG21を立ち上げ、子基板に対するデータ2のライトを要求する。

子基板ではPHASE32がTRG21の立上がり時から変化していなくかつTRG21の立上りをステップS105で検出し、ステップS106を実行しライトデータ2をMD15:0に出力し、ステップS107によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップS108を実行し、ステップS102へ戻る。

【0068】

T34期間で親基板は、ステップS94を実行し、PHASE32をトグルするとともにライトデータ3をA15:0/D15:0(25)に出力する。

そして、親基板は子基板にデータの送出手を知らせるため、引き続きTRG21を立ち下げる。

この時点で子基板は、ステップS102により転送中であることを確認するとと

もに、ステップS103によりPHASE32がトグルしTRG21が立ち下がったことを検出し、ステップS104によりメモリにMA15:0(28)経由で親基板の要求アドレスと、ステップS108で準備した次アドレスとの加算値を出力する。

【0069】

親基板は次にTRG21を立ち上げ子基板に対するデータ3のライトを要求する。

子基板ではPHASE32がTRG21の立下がり時から変化していなくかつTRG21の立上りをステップS105で検出し、ステップS106を実行し、ライトデータ3をMD15:0に出力し、ステップS107によりメモリにライトを実行する。

その後次アドレスの準備をするためステップS108を実行し、ステップS102へ戻る。

【0070】

T35期間で親基板は、ステップS95を実行し、PHASE32をトグルするとともにライトデータ2をA15:0/D15:0(25)に出力する。

そして、親基板は子基板にデータの送出を知らせるため、親基板は引き続きTRG21を立ち下げる。

この時点で子基板は、ステップS102により転送中であることを確認するとともに、ステップS103によりPHASE32がトグルしTRG21が立ち下がったことを検出し、ステップS104によりメモリにMA15:0(28)経由で親基板の要求アドレスとステップS108で準備した次アドレスとの加算値を出力する。

【0071】

親基板は次にTRG21を立ち上げ、子基板に対するデータ2のライトを要求する。

子基板ではPHASE32がTRG21の立下がり時から変化していなくかつTRG21の立上りをステップS105で検出し、ステップS106を実行しライトデータ2をMD15:0に出力し、ステップS107によりメモリにライ

トを実行する。

その後、次アドレスの準備をするためステップ S 1 0 8 を実行し、ステップ S 1 0 2 へ戻る。

【 0 0 7 2 】

親基板は TRG 2 1 立ち上げ後、ステップ S 9 7 により PHASE 3 2 とデータ出力を停止し、ステップ S 9 8 により FRAME 2 2 と WRL 2 3、PHASE 3 2 を H にし、ライト転送の完了をする。

子基板ではステップ S 1 0 2 でライト転送の完了を検出し、ライト処理を完了する。

【 0 0 7 3 】

この実施の形態 2 は、TRG 2 1 の立下がり、立上がり検出時に PHASE 3 2 のトグル状態と組み合わせて検出するので、上述した実施の形態 1 の効果に加え、TRG 2 1 にクロストークや反射など外乱が発生しても子基板のセパレータ 2 6 A での MA 1 5 : 0 生成に対する誤動作を防ぐことができ少ない信号線で大量の連続したデータ転送を外乱に対して安定に実行することができる。

【 0 0 7 4 】

【発明の効果】

本発明によれば、子基板側でトリガ信号を検出しメモリへのアドレスを自動的に生成することで親基板からの連続転送用のアドレス信号を削減し大量の連続転送を実現する効果を奏する。

【 0 0 7 5 】

また、子基板でアドレスを生成する際に TRG 信号とサイクル信号を組み合わせて生成するため、クロストーク、ノイズなどの外乱により波形が崩れても安定した連続転送を実現する効果を奏する

【図面の簡単な説明】

【図 1】 実施の形態 1 のデータ転送に関するシステム構成を示すシステム構成図である。

【図 2】 子基板の内部構成を示す図である。

【図 3】 リード処理における各信号の時系列な動作を示すタイミングチャ

ートである。

【図 4】 親基板のリード処理の一連の流れを示したフローチャートである。

【図 5】 子基板のリード処理の流れを示したフローチャートである。

【図 6】 ライト処理における各信号の時系列な動作を示すタイミングチャートである。

【図 7】 親基板のライト処理の流れを示したフローチャートである。

【図 8】 子基板のライト処理の流れを示したフローチャートである。

【図 9】 実施の形態 2 の子基板の内部構成を示す図である。

【図 10】 リード処理における各信号の時系列な動作を示すタイミングチャートである。

【図 11】 親基板のリード処理の一連の流れを示したフローチャートである。

【図 12】 子基板のリード処理の流れを示したフローチャートである。

【図 13】 ライト処理における各信号の時系列な動作を示すタイミングチャートである。

【図 14】 親基板のライト処理の一連の流れを示したフローチャートである。

【図 15】 子基板のライト処理の流れを示したフローチャートである。

【図 16】 従来のデータ転送に関するシステム構成を示すシステム構成図である。

【図 17】 従来の子基板の内部構成を示す図である。

【図 18】 セパレータの内部処理を示すフローチャートである。

【図 19】 従来のリード処理における各信号の時系列な動作を示すタイミングチャートである。

【図 20】 従来の親基板のリード処理の一連の流れを示したフローチャートである。

【図 21】 従来の子基板のリード処理の一連の流れを示したフローチャートである。

【図22】 従来のライト処理における各信号の時系列な動作を示すタイミングチャートである。

【図23】 従来の親基板のライト処理の一連の流れを示したフローチャートである。

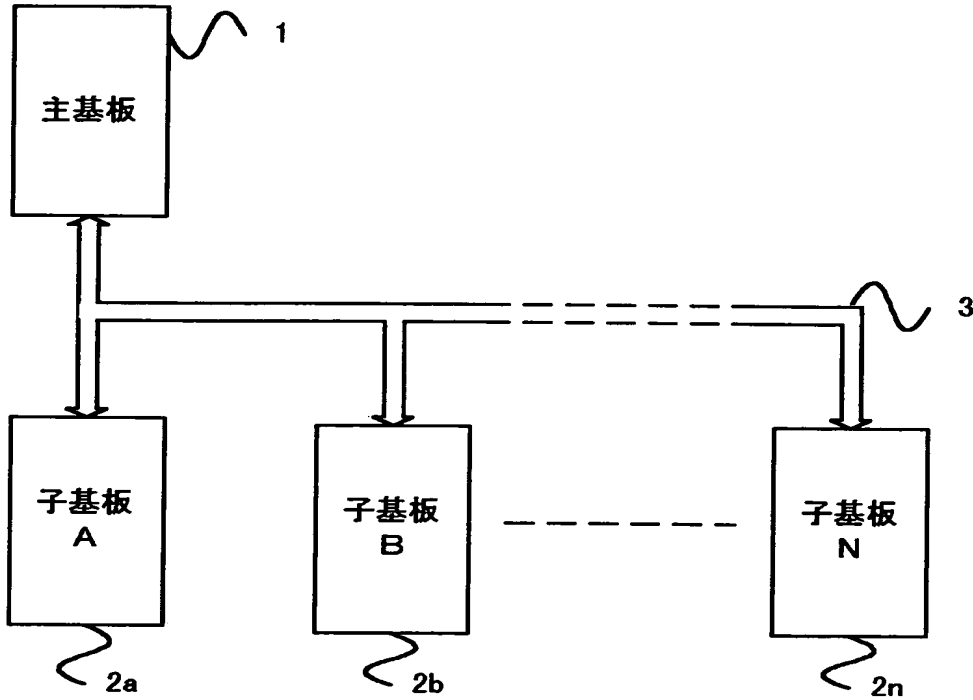
【図24】 従来の子基板のライト処理の一連の流れを示したフローチャートである。

【符号の説明】

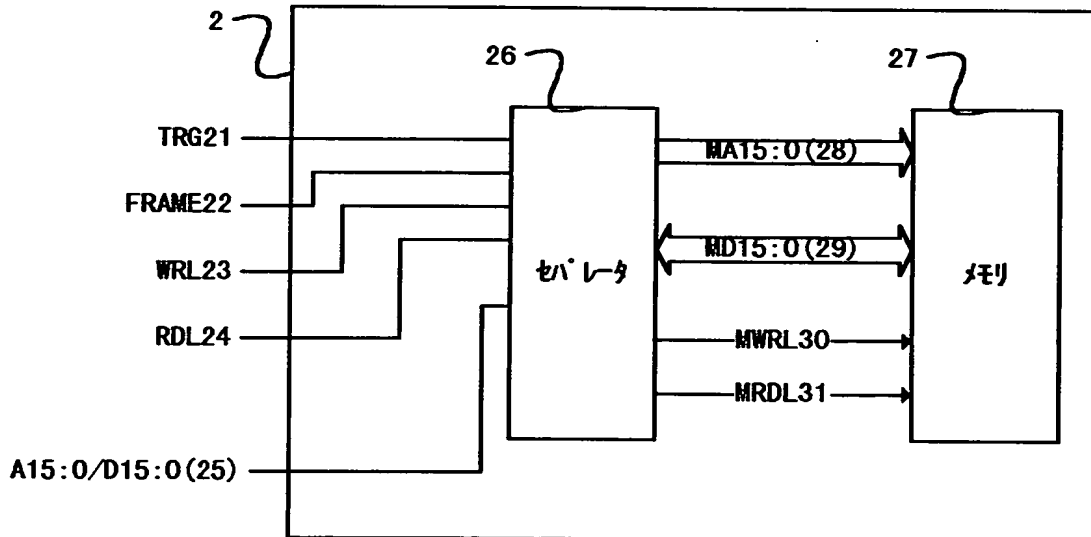
1 親基板、2 子基板、3 データ転送バス、21 トリガ信号、22 FRAME信号、23 WRL信号、24 RDL信号、25 マルチプレクスバスA15:0/D15:0、26 セパレータ、27 メモリ、28 アドレスバスMA15:0、29 データバスMD15:0、30 メモリ書込み信号MWRL、31 メモリリード信号MRDL、32 PHASE信号。

【書類名】 図面

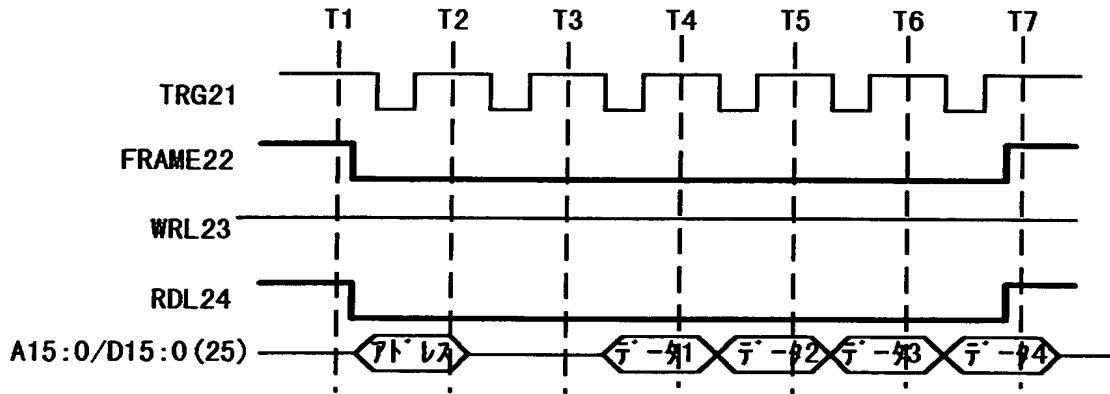
【図 1】



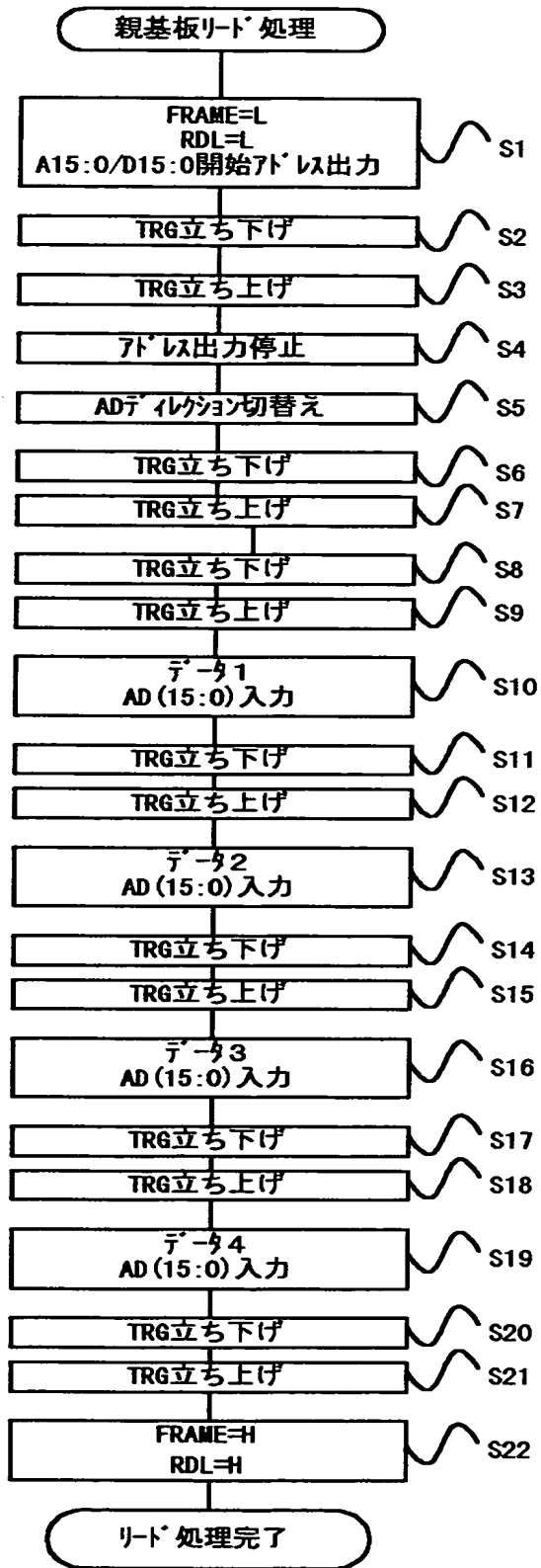
【図 2】



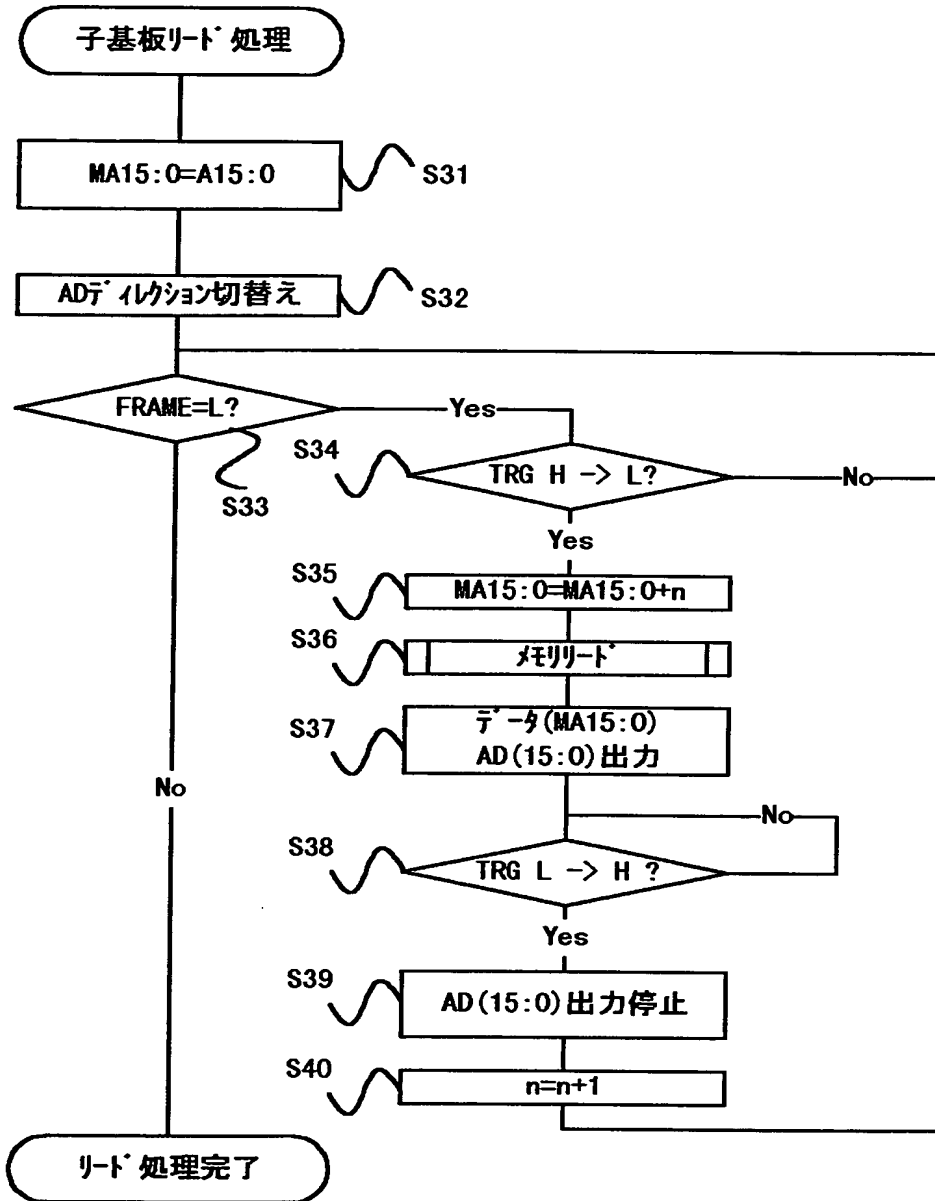
【図 3】



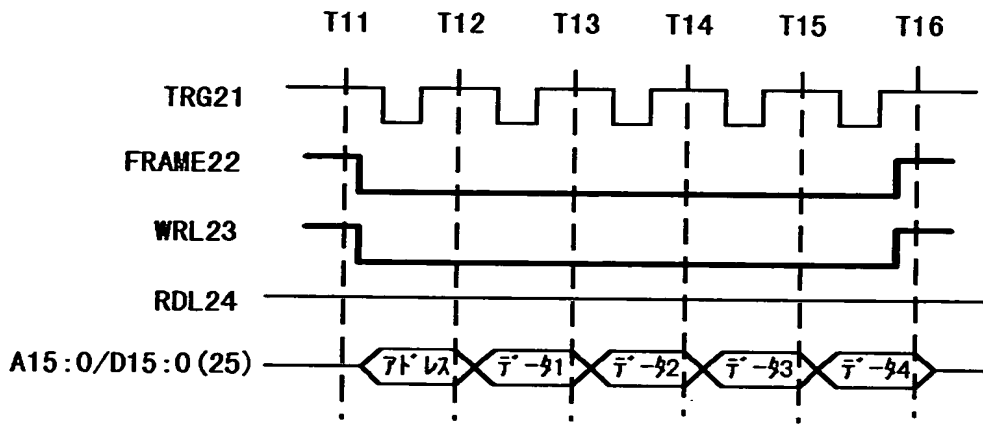
【図4】



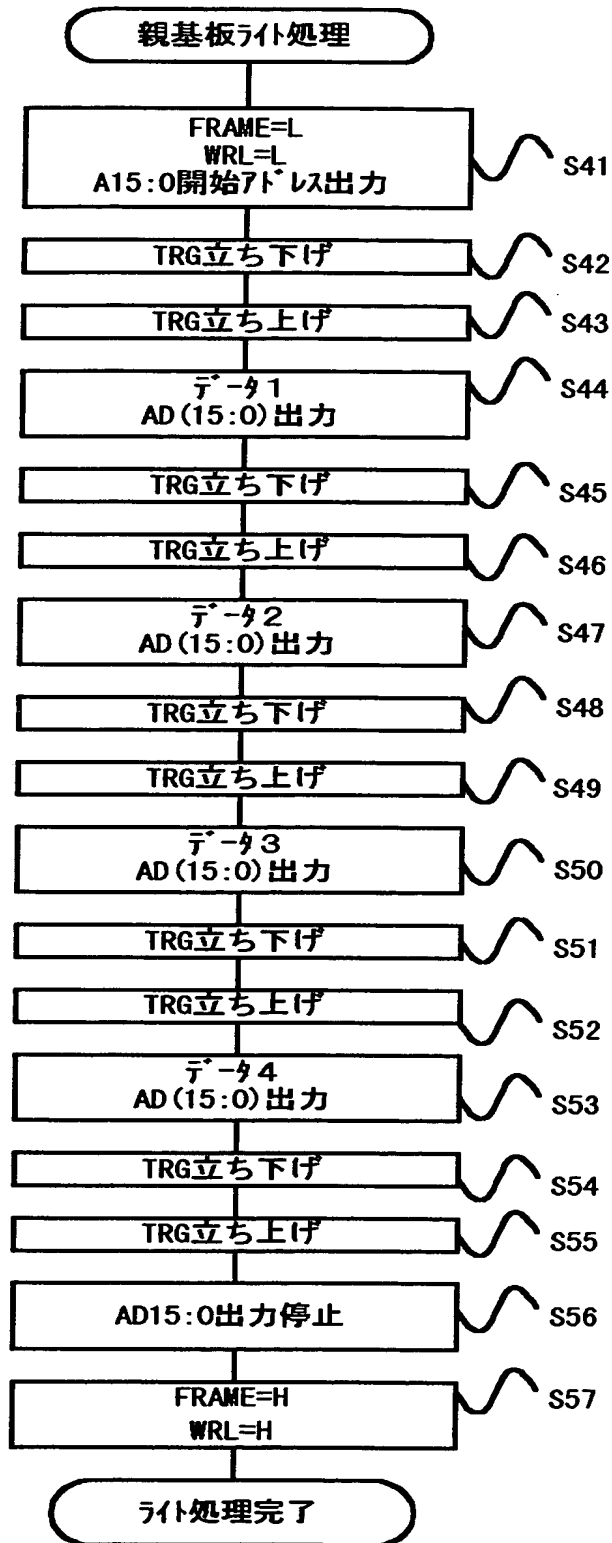
【図 5】



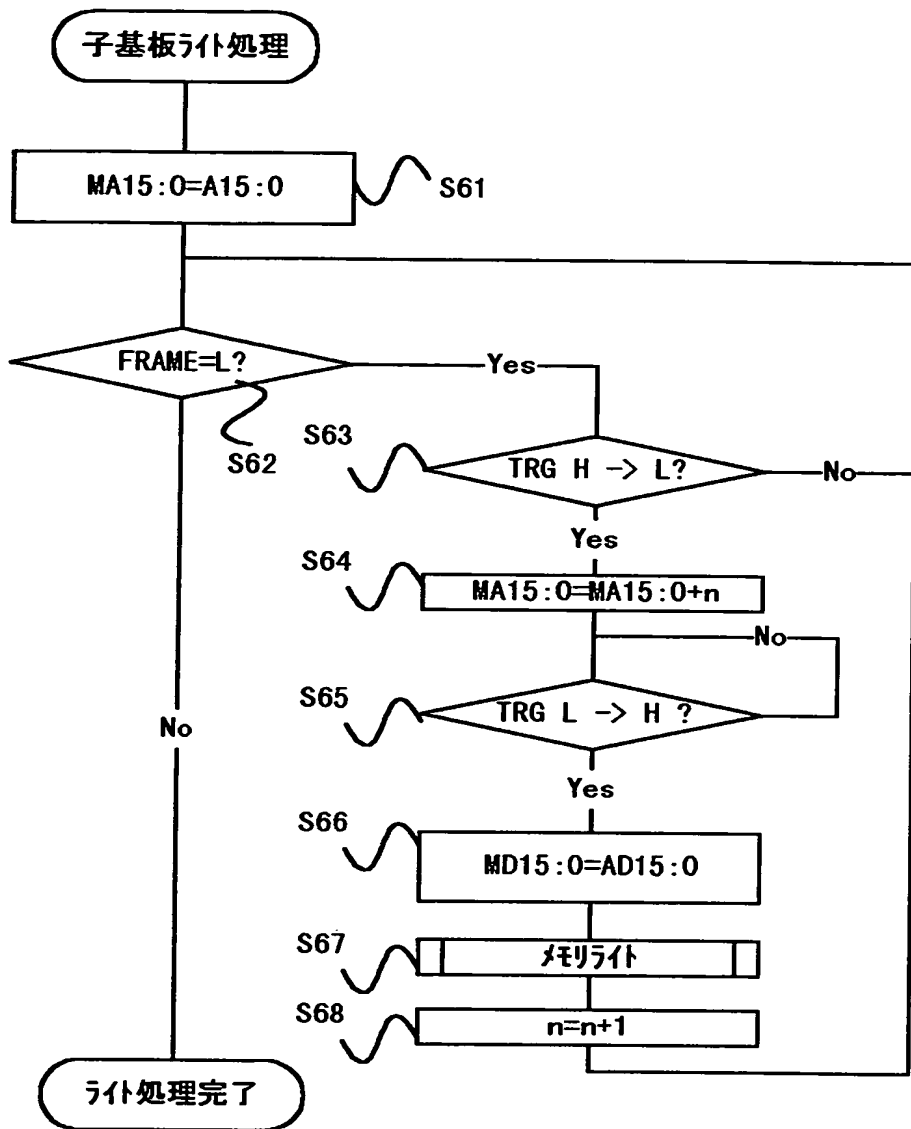
【図 6】



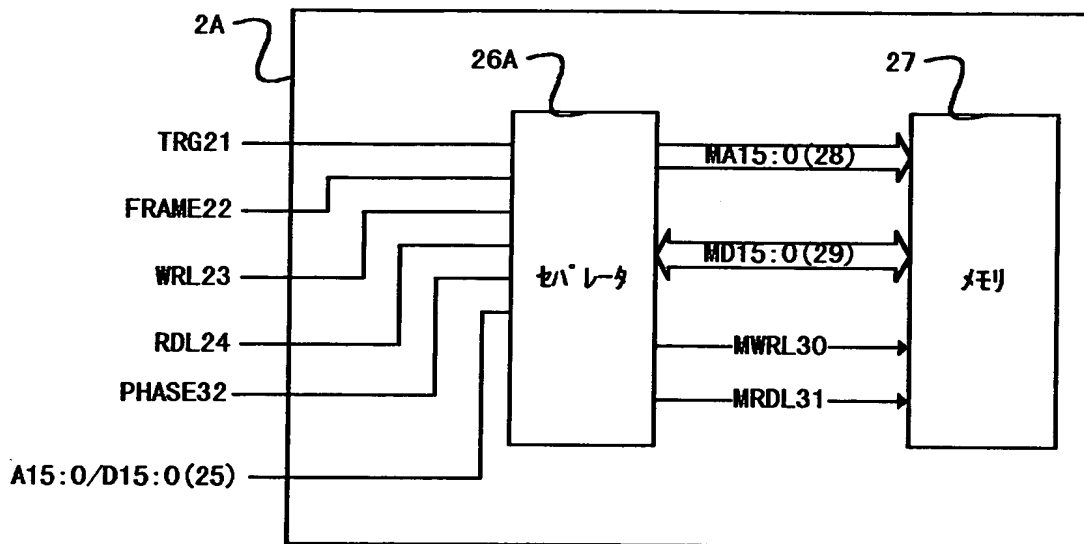
【図7】



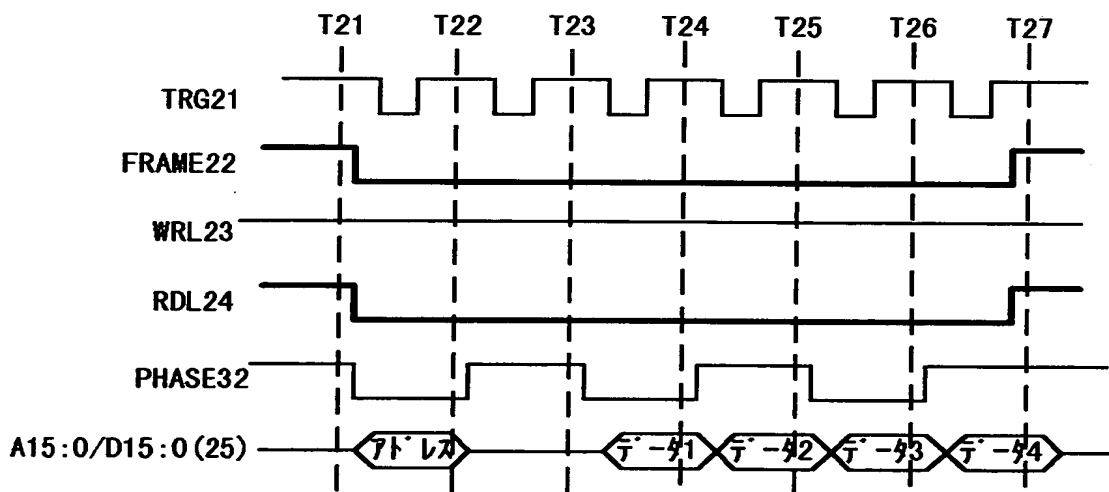
【図 8】



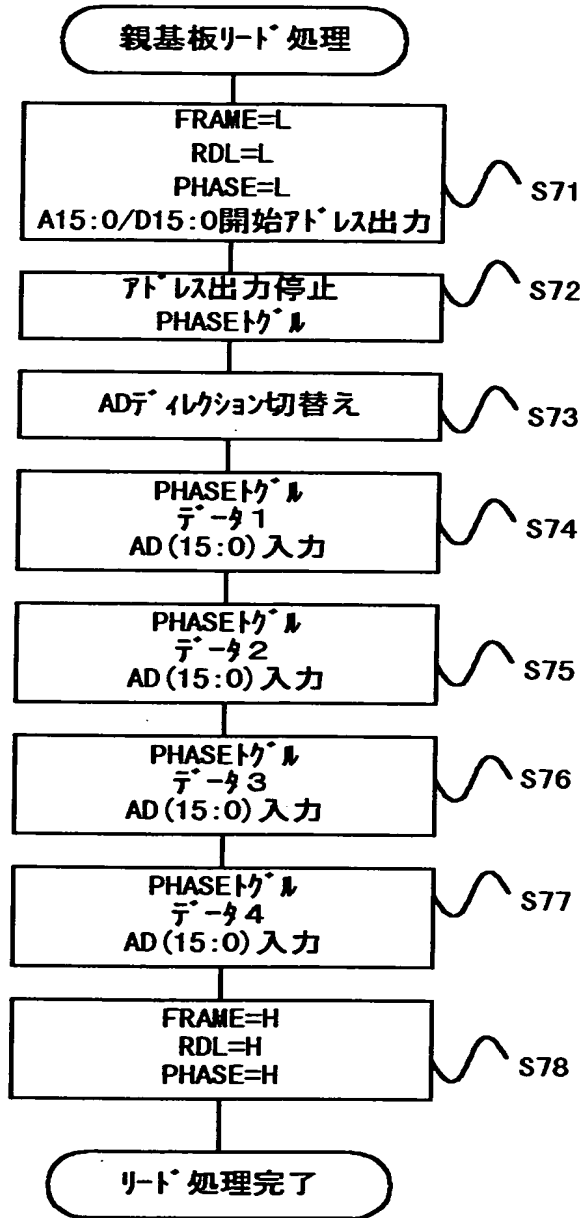
【図 9】



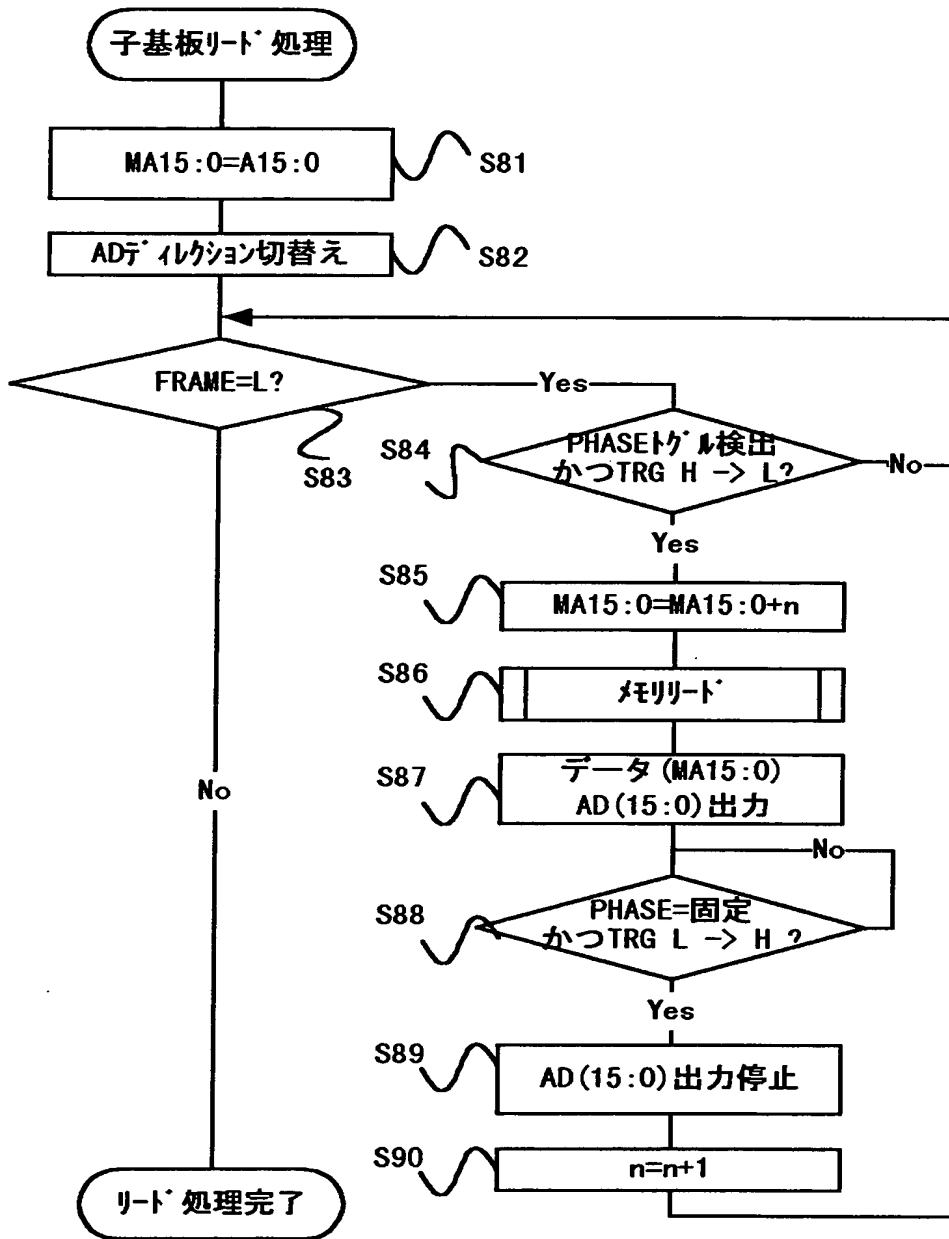
【図 10】



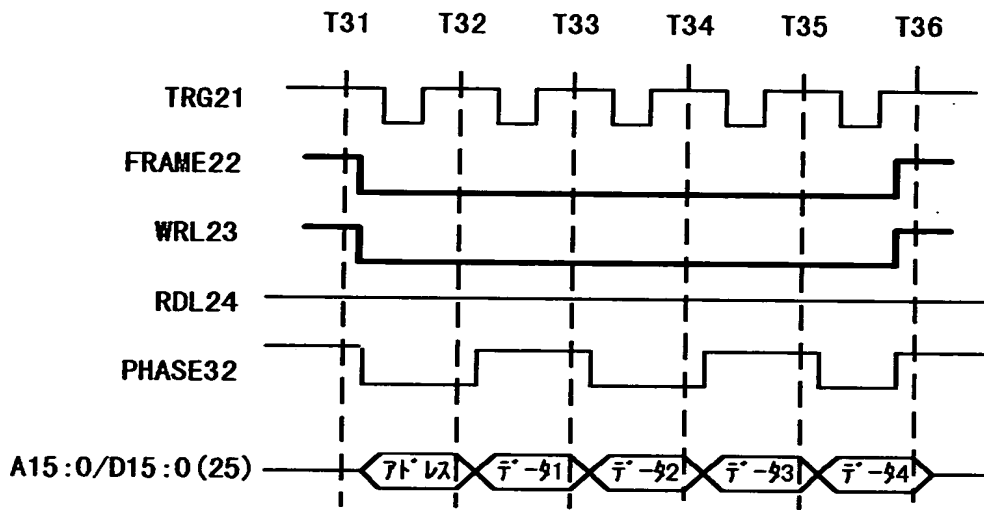
【図11】



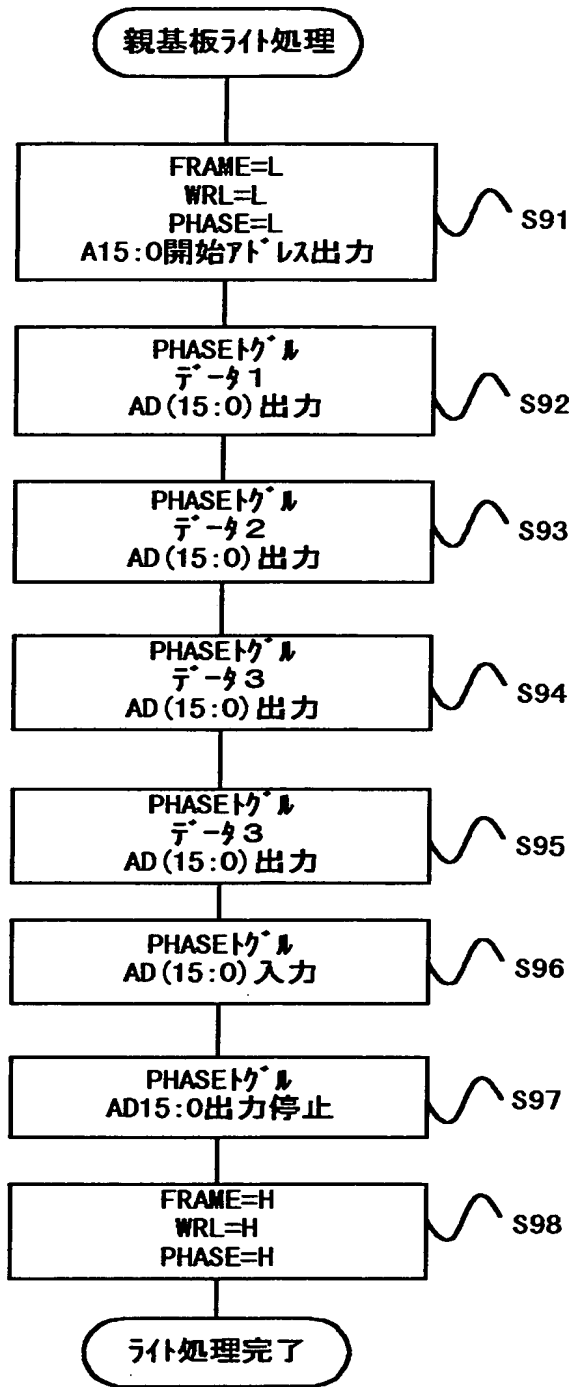
【図 1 2】



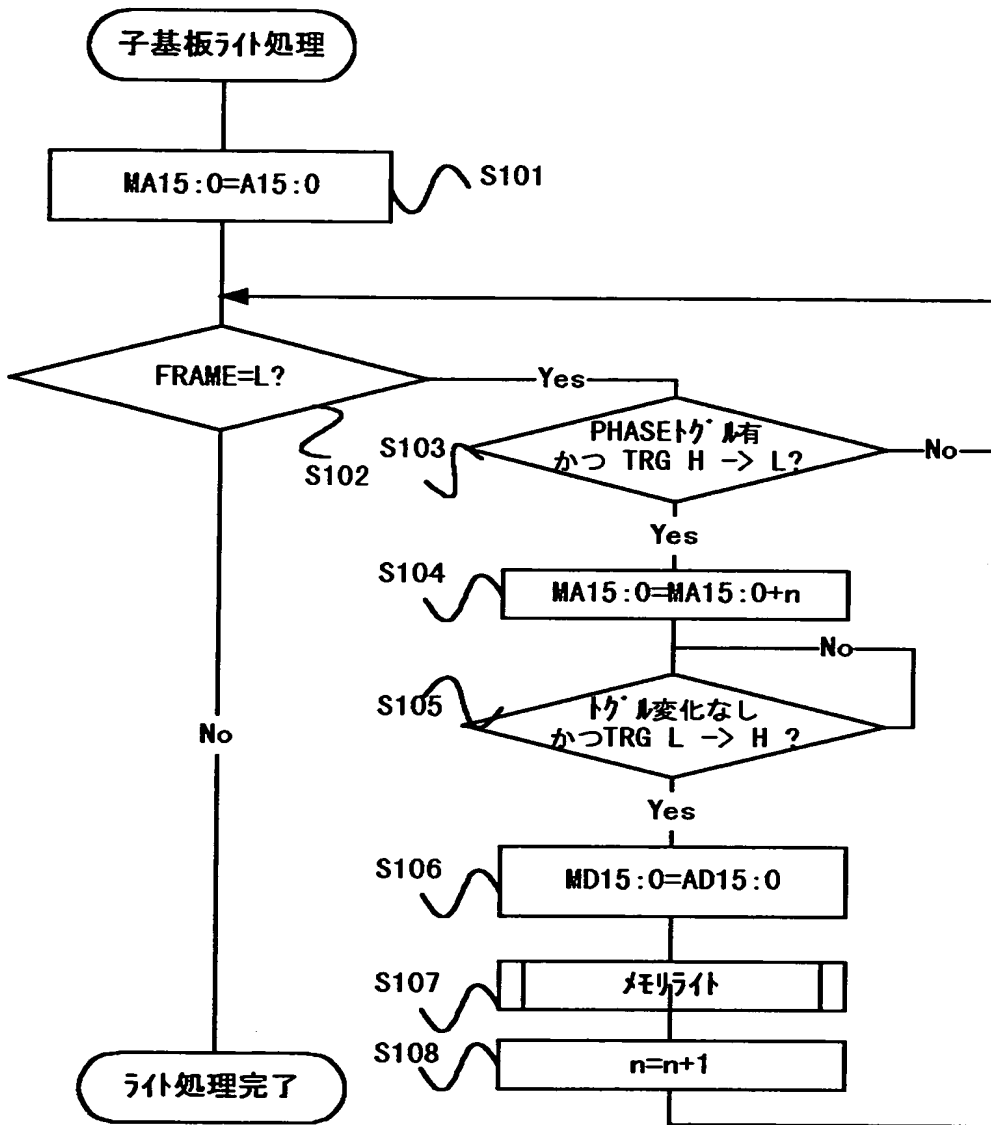
【図 13】



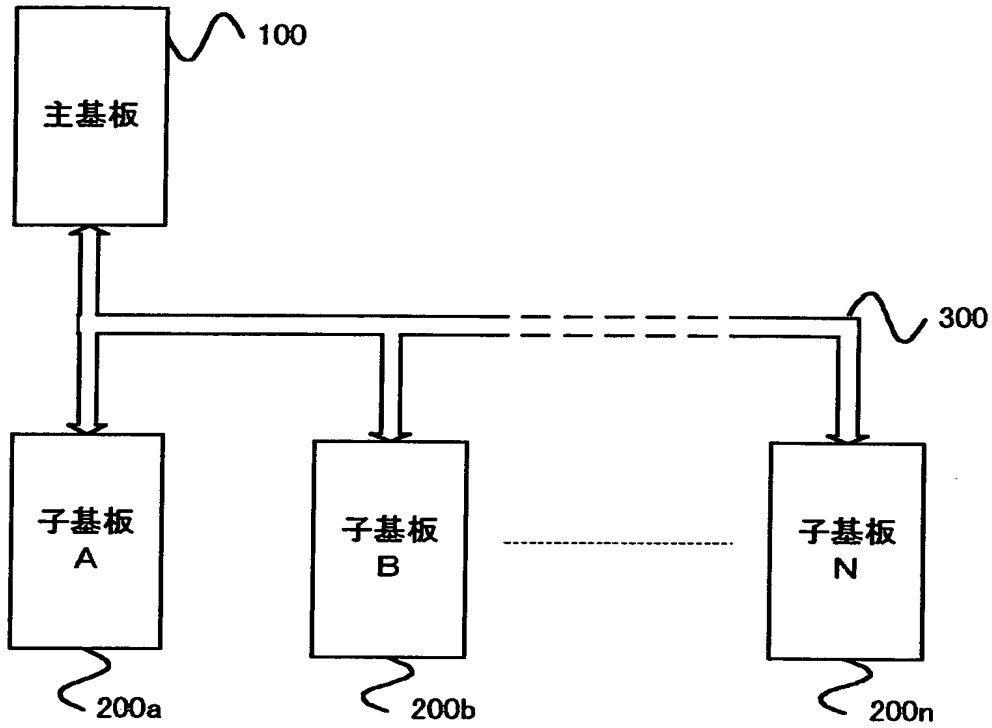
【図 14】



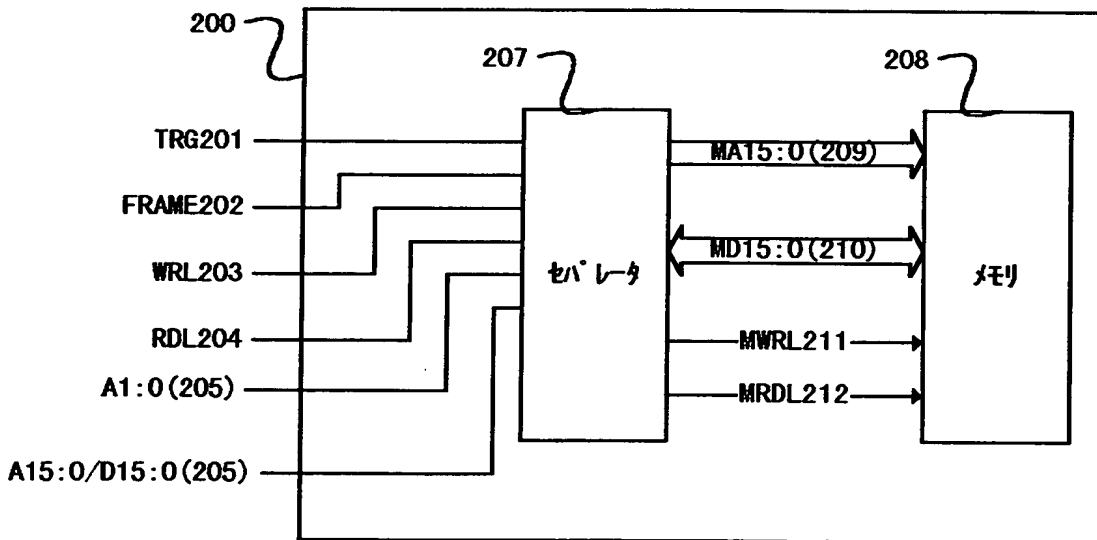
【図 15】



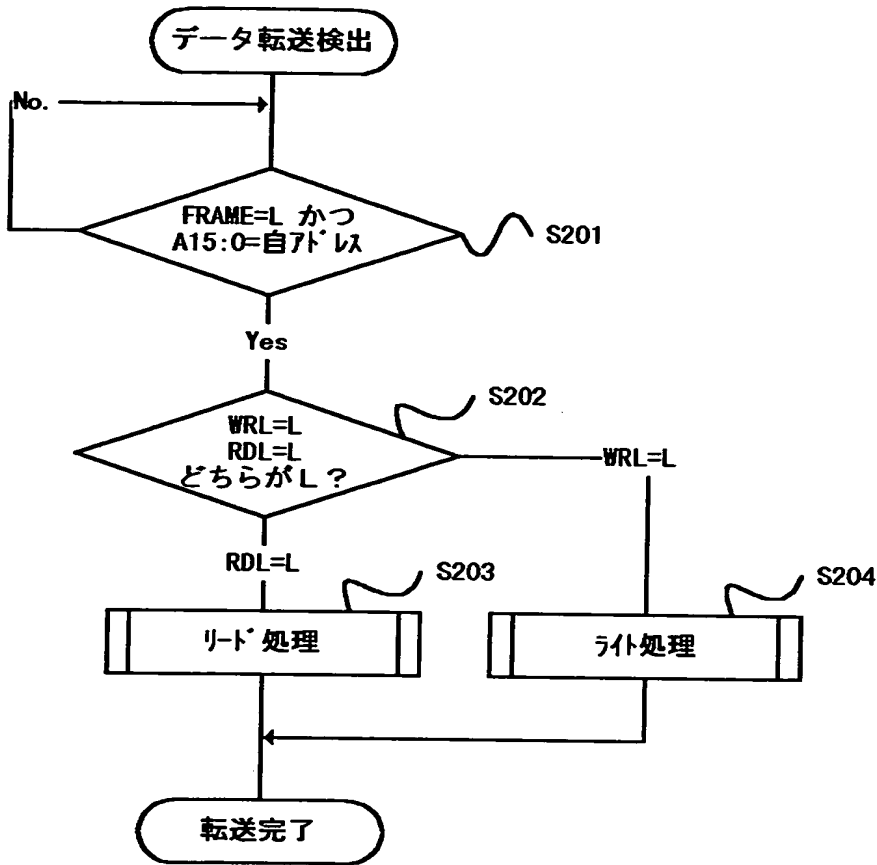
【図 16】



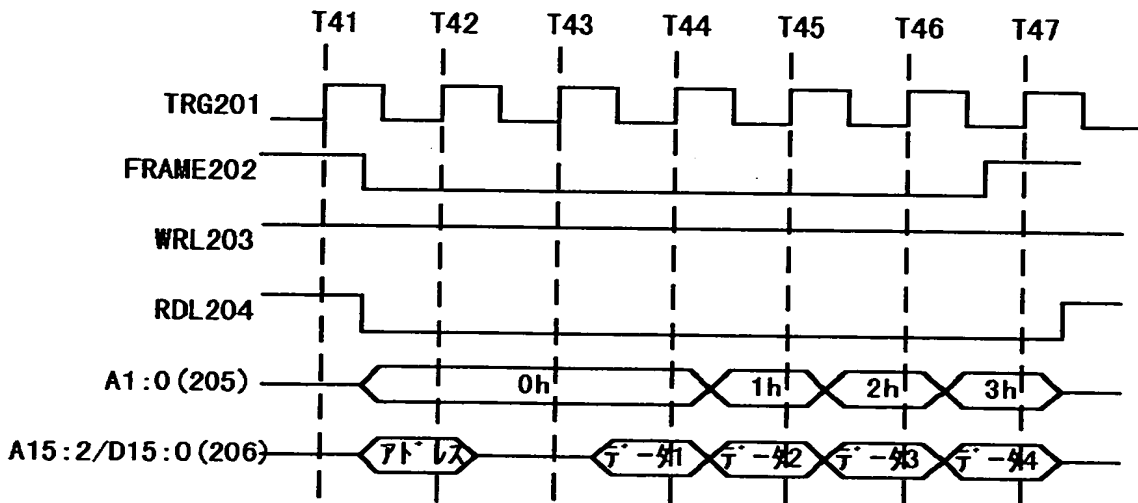
【図 17】



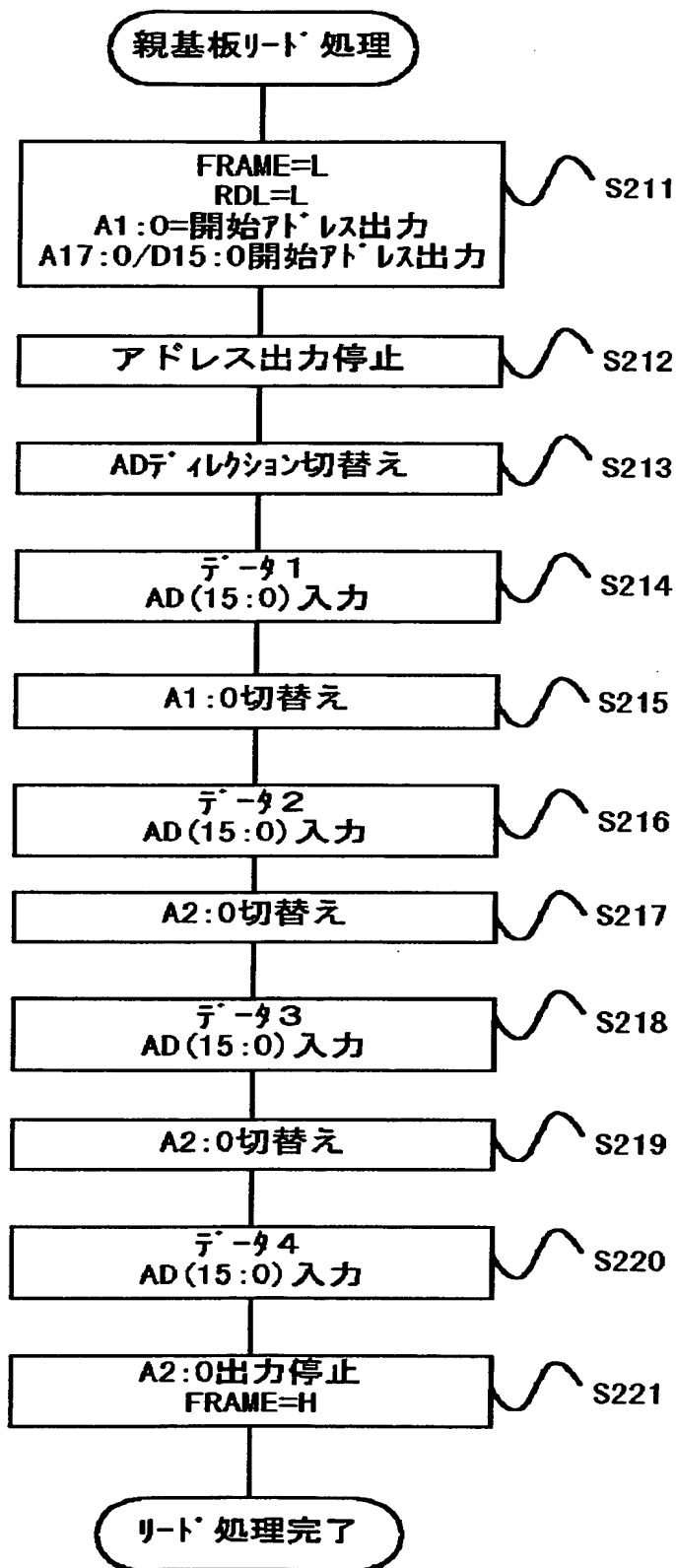
【図 18】



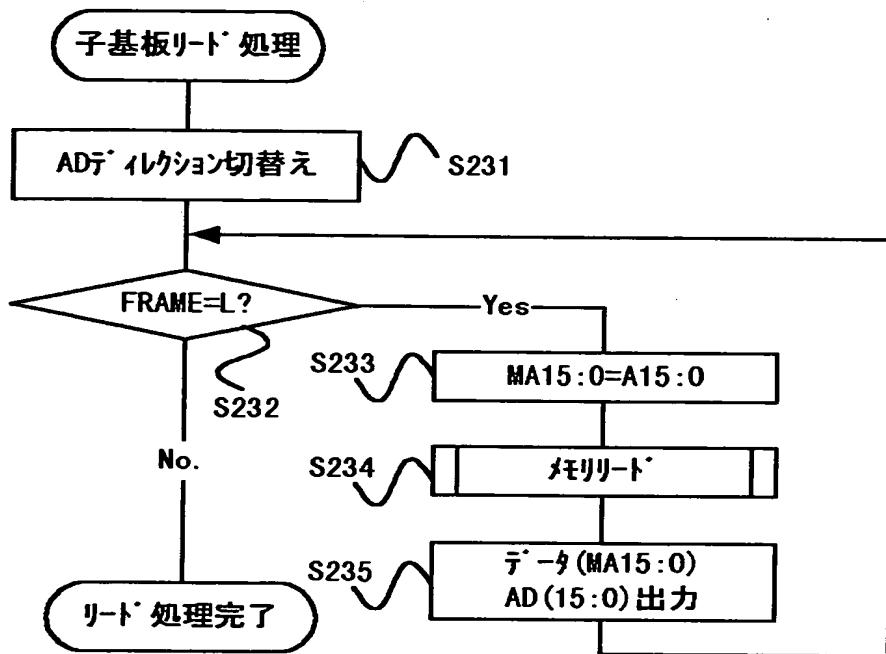
【図 19】



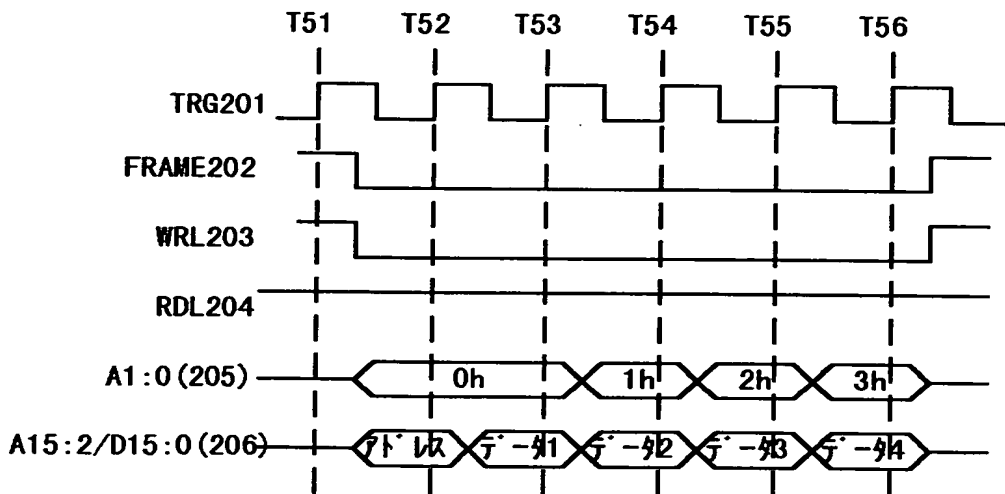
【図20】



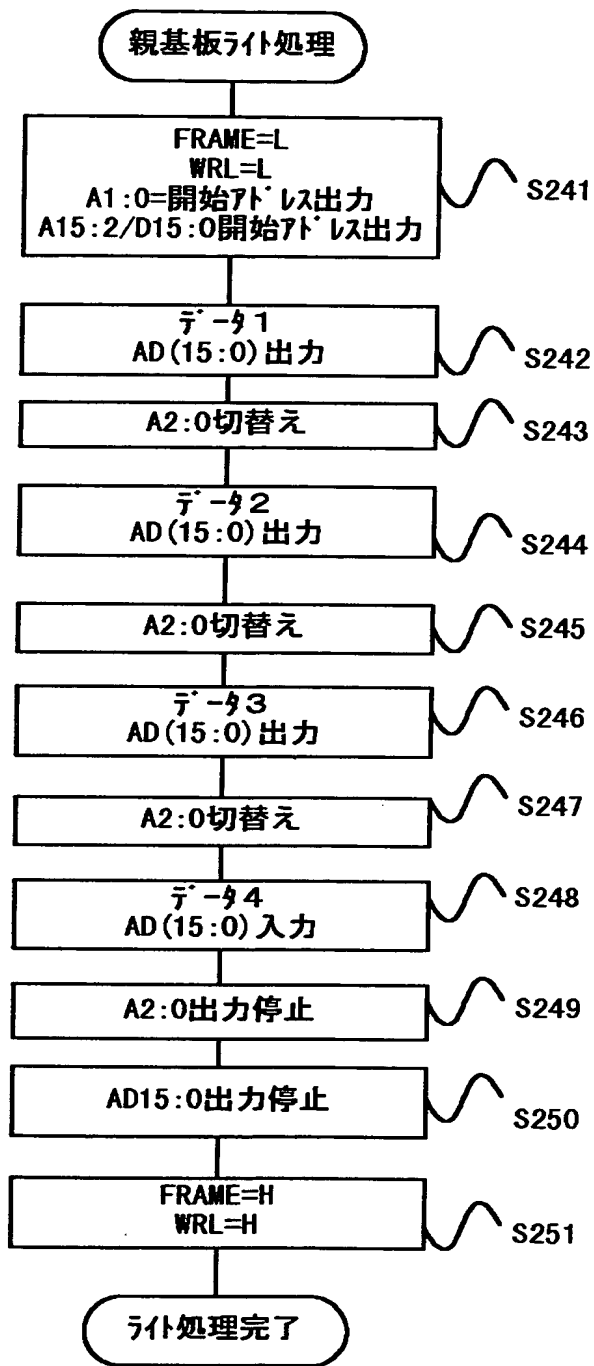
【図 2 1】



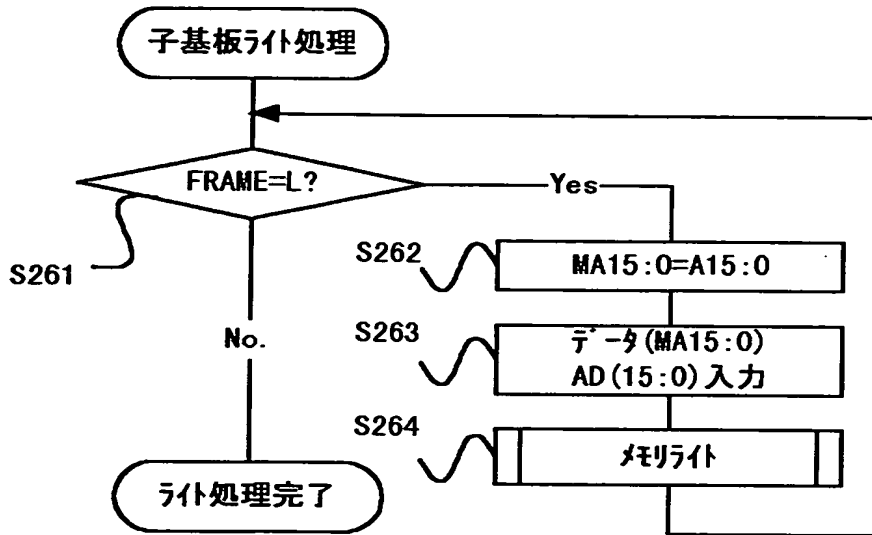
【図 2 2】



【図 23】



【図 2 4】



【書類名】 要約書

【要約】

【課題】 連続転送をする際に連続アドレスを示す信号線を削除しながらも連続転送を増やすと共に安定した転送を実現する。

【解決手段】 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレス及び所定のトリガ信号に基づき生成する工程と、を備えた。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社